

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant(s): CHAE, Gee-Sung

Application No.:

Filed: October 10, 2001

Group:

Examiner:

For: THIN FILM TRANSISTOR ARRAY SUBSTRATE FOR LIQUID CRYSTAL  
DISPLAY DEVICE AND METHOD OF MANUFACTURING THE SAME

LETTER

Assistant Commissioner for Patents  
Box Patent Application  
Washington, D.C. 20231

October 10, 2001  
3430-0168P

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55(a), the applicant hereby claims the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
REPUBLIC OF KOREA	2000-59429	10/10/00

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to deposit Account No. 02-2448 for any additional fees required under 37 C.F.R. 1.16 or under 37 C.F.R. 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By:

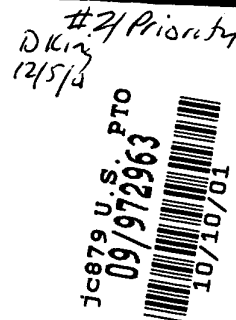
JOSEPH A. KOLASCH

Reg. No. 22,463

P. O. Box 747

Falls Church, Virginia 22040-0747

Attachment  
(703) 205-8000  
/sll



CHAE, Goo-Sung  
October 10, 2001  
BSKB LLP  
(703) 205-8000  
3430-0160P  
1 of 1

Jc879 U.S. PTO  
09/972963  
10/10/01

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2000년 제 59429 호  
Application Number

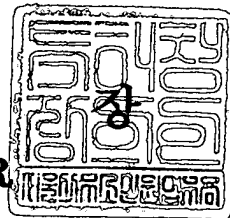
출원년월일 : 2000년 10월 10일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)

2001 년 04 월 23 일

특 허 청

COMMISSIONER



**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2000.10.10  
**【발명의 명칭】** 액정표시장치용 어레이기판과 그 제조방법  
**【발명의 영문명칭】** Method for fabricating the array substrate for Liquid crystal display device and the same  
**【출원인】**  
**【명칭】** 엘지 .필립스 엘시디 주식회사  
**【출원인코드】** 1-1998-101865-5  
**【대리인】**  
**【성명】** 정원기  
**【대리인코드】** 9-1998-000534-2  
**【포괄위임등록번호】** 1999-001832-7  
**【발명자】**  
**【성명의 국문표기】** 채기성  
**【성명의 영문표기】** CHAE, GEE-SUNG  
**【주민등록번호】** 630125-1143617  
**【우편번호】** 406-130  
**【주소】** 인천광역시 연수구 동춘동 한양1차아파트 111동 607호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 6 면 6,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 9 항 397,000 원  
**【합계】** 432,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 액정표시장치에 관한 것으로, 특히 4마스크 공정으로 제조되는 액정표시장치용 어레이기판의 제작방법에 관한 것이다.

종래에는 4마스크로 제작하는 액정표시장치용 어레이기판에 있어서, 공정이 진행되는 동안 노출된 저저항 배선(전극)이 점차적으로 부식되어 기판의 불량률 유발하는 경우가 많다.

따라서, 본 발명은 특히 저 저항물질로 구리를 사용하였을 경우, 구리배선의 표면에 금속 산화물을 입혀 기판의 제작공정 중 발생하는 배선의 부식을 방지함으로써 제품의 수율을 개선하는데 그 목적이 있다.

## 【대표도】

도 4d

## 【명세서】

## 【발명의 명칭】

액정표시장치용 어레이기판과 그 제조방법{Method for fabricating the array substrate for Liquid crystal display device and the same}

## 【도면의 간단한 설명】

도 1은 일반적인 액정표시장치를 도시한 분해 사시도이고,

도 2는 4마스크로 제작된 액정표시장치용 어레이기판의 일부 화소를 도시한 확대 평면도이고,

도 3a 내지 도 3d는 도 2의 III-III', IV-IV'를 따라 절단하여 공정순서에 따라 도시한 공정평면도와 이에 따른 공정단면도이고,

도 4a 내지 도 4d는 도 2의 III-III', IV-IV'를 따라 절단하여 공정순서에 따라 도시한 본 발명의 제 1 실시예에 따라 평면도와 이에 따른 공정 단면도이고,

도 5a 내지 도 5c는 본 발명의 다른 예에 따른 액정표시장치용 어레이기판의 공정을 도시한 공정 단면도이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

115 : 데이터 배선

117 : 화소전극

131 : 게이트 절연막

132 : 게이트 절연막

135 : 드레인 전극

143 : 드레인 콘택홀

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 화상 표시장치에 관한 것으로, 더욱 상세하게는 박막 트랜지스터(Thin Film Transistor : TFT)를 포함하는 액정표시장치(Liquid Crystal Display : LCD)에 관한 것이다.
- <11> 특히, 본 발명은 4마스크로 제작되는 액정표시장치용 어레이기판의 제작방법에 관한 것이다.
- <12> 일반적으로 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.
- <13> 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 편광된 빛이 임의로 변조되어 화상정보를 표현할 수 있다.
- <14> 이러한 액정은 전기적인 특성분류에 따라 유전율 이방성이 양(+)인 포지티브액정과 음(-)인 네거티브 액정으로 구분될 수 있으며, 유전율 이방성이 양인 액정분자는 전기장이 인가되는 방향으로 액정분자의 장축이 평행하게 배열하고, 유전율 이방성이 음인 액정분자는 전기장이 인가되는 방향과 액정분자의 장축이 수직하게 배열한다.
- <15> 현재에는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상

구현능력이 우수하여 가장 주목받고 있다.

<16> 일반적으로 액정표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

<17> 도 1은 일반적인 액정 표시장치의 일부를 나타낸 분해사시도이다.

<18> 도시한 바와 같이, 일반적인 컬러 액정표시장치는 블랙매트릭스(6)와 서브컬러필터(적, 녹, 청)(8)를 포함한 컬러필터(7)와 컬러필터 상에 투명한 공통전극(18)이 형성된 상부기판(5)과, 화소영역(P)과 화소영역 상에 형성된 화소전극(17)과 스위칭 소자(T)를 포함한 어레이배선이 형성된 하부기판(22)으로 구성되며, 상기 상부기판(5)과 하부기판(22) 사이에는 액정(14)이 충전되어 있다.

<19> 상기 하부기판(22)은 어레이기판이라고도 하며, 스위칭 소자인 박막트랜지스터(T)가 매트릭스형태(matrix type)로 위치하고, 이러한 다수의 박막트랜지스터를 교차하여 지나가는 게이트배선(13)과 데이터배선(15)이 형성된다.

<20> 상기 화소(P)영역은 상기 게이트배선(13)과 데이터배선(15)이 교차하여 정의되는 영역이다. 상기 화소영역(P)상에 형성되는 화소전극(17)은 인듐-틴-옥사이드(indium-tin-oxide : ITO)와 같이 빛의 투과율이 비교적 뛰어난 투명도전성 금속을 사용한다.

<21> 전술한 바와 같이 구성되는 액정표시장치는 상기 화소전극(17)상에 위치한 액정층(14)이 상기 박막트랜지스터(T)로부터 인가된 신호에 의해 배향되고, 상기 액정층의 배향정도에 따라 상기 액정층(14)을 투과하는 빛의 양을 조절하는 방식으로 화상을 표현할 수 있다.

- <22> 전술한 바와 같이 구성되는 액정표시장치용 어레이기판은 다수의 마스크 노공정으로, 포토리소그래피(photo-lithography)공정과 연속하여 식각공정을 진행하게 된다.
- <23> 따라서, 마스크 공정수가 줄어들수록 공정이 진행되는 동안 사용되는 재료비를 낮출 수 있으므로 막대한 경제적인 효과를 볼 수 있고, 또한 다수의 공정으로 인해 발생하는 공정오차에 의한 제품의 불량률 또한 낮출 수 있다.
- <24> 따라서, 근래에는 5마스크에서 4마스크로 공정수를 줄여 기판을 제작하고 있는 추세이다.
- <25> 그러나, 4마스크 공정으로 기판을 제작할 경우에는 다수의 구성층을 한번에 식각하는 기술과, 서로 다른 구성층의 식각비를 맞추어 식각을 해야하는 기술이 필요하다. 따라서, 어떠한 부분에서는 하부배선 또는 하부전극의 일부가 노출되는 구조가 된다.
- <26> 무엇보다도, 4마스크 공정으로 제작되는 기판에 사용되는 신호배선 중 게이트 배선재료는 저 저항 배선으로 많이 사용되며, 노출된 저저항 물질은 어레이기판의 제조공정 시 식각용액에 의해 점차적으로 부식되는 불량이 발생한다.
- <27> 이하, 도 2를 참조하여 자세히 설명한다.
- <28> 도 2는 4마스크 공정으로 제작된 액정표시장치용 어레이기판의 일부 화소를 개략적으로 도시한 확대 평면도이다.
- <29> 도시한 바와 같이, 게이트배선(13)과 데이터배선(15)이 교차하여 화소영역(P)을 정의하며 형성되고, 상기 게이트배선(13)과 데이터배선(15)의 교차지점에는 게이트전극(31)과 소스전극(33) 및 드레인전극(35)으로 구성된 박막트랜지스터(T)가 구성된다.
- <30> 상기 소스전극(33)과 드레인전극(35)은 상기 게이트전극(31) 상부에서 소정간격 이



격하여 구성되며, 이격된 사이로 액티브채널(액티브층)(37a)이 노출된다.

<31> 4마스크 공정에서는 액티브층(37)을 따로 패터하지 않고, 이후 공정에서 적층되는 절연층인 보호층(41)패턴 시, 동시에 식각되므로 상기 액티브층(37)은 데이터배선(15)과 소스전극(33) 및 드레인전극(35)의 하부를 따라 패터된다.

<32> 이때, 상기 보호층(41)을 패터하는 공정 중 도시한 바와 같이, 상기 액티브층(37)의 하부에 위치한 게이트전극(31)중 외부로 노출되는 부분(B,C)이 발생하게 되며, 이러한 부분은 이후 공정이 진행되는 동안 포토레지스트(photoresist)를 제거하는 스트립 용액(striper)과 금속을 식각하는 식각용액에 의해 점진적인 부식(erosion)이 발생하게 된다.

<33> 이해를 돕기 위해, 아래 도 3a 내지 도 3d를 참조하여 종래의 어레이기판 제조공정을 설명한다.

<34> 도 3a 내지 도 3d는 도 2의Ⅲ-Ⅲ'와 IV-IV'를 따라 절단하여 공정순서에 따라 도시한 공정평면도와 이에 따른 공정단면도이다.

<35> 먼저, 도 3a는 제 1 마스크 공정으로, 구리(Cu)를 증착하고 패터하여 게이트배선(13)과 게이트전극(31)을 형성한다.

<36> 다음으로, 상기 게이트배선(13) 등이 형성된 기판(22) 상에 게이트 절연막(32)과, 비정질 실리콘층(37')과 불순물이 함유된 비정질 실리콘층(36)과 도전성 금속층(33')을 적층한다.

<37> 도 3b는 제 2 마스크 공정으로서, 상기 도전성 금속층을 패터하여 상기 게이트배선(13)과 교차하여 화소영역(도 2의 P)을 정의하는 데이터배선(15)과, 상기 데이터배선

(15)에서 수직하게 소정면적으로 돌출 형성된 소스전극(33)과, 이와는 소정간격 이격된 드레인전극(35)을 형성한다.

<38> 다음으로, 상기 패터닝 금속층을 식각방지막으로 하여 노출된 불순물 비정질 실리콘층(36')을 식각하여, 상기 소스전극(33)과 드레인전극(35)사이에 상기 비정질 실리콘층(37')이 노출되도록 한다.

<39> 도 3c는 제 3 마스크 공정으로, 상기 데이터배선(15) 등이 형성된 기판(22) 상에 절연물질로 보호층(41)을 형성한 후 패터닝하여, 상기 드레인전극(35)상부에 드레인 콘택홀(43)을 형성하고, 상기 게이트전극(31)과 소스전극(33) 및 드레인전극(35)의 상부와, 상기 게이트배선(13)과 데이터배선(15)상부의 보호층(41)을 제외한 화소영역 상의 보호층을 모두 제거한다. 이때, 상기 보호층(41)을 패터닝할 경우, 그 하부의 액티브층(37)과 게이트 절연막(32)을 동시에 패터닝한다.

<40> 따라서, 식각된 보호층(41)의 패터닝 하부에는 동일하게 식각된 액티브층(37)이 평면적으로 구성된다.

<41> 결과적으로, 제 3 마스크 공정에서는 게이트전극(31)의 일부(B,C)가 노출되는 결과를 가진다.

<42> 도 3d는 제 4 마스크 공정으로서, 상기 드레인 콘택홀(43)을 통해 상기 드레인전극(35)과 접촉하는 화소전극(17)을 형성한다.

#### 【발명이 이루고자 하는 기술적 과제】

<43> 전술한 바와 같은 공정에서, 상기 제 3 마스크 공정 후, 노출된 게이트전극은 그

후의 공정인 투명화소전극을 증착하고 패터닝하는 과정에서, 상기 화소전극을 식각하는 식각용액에 의해 일차적인 부식현상이 발생하고, 연속하여 상기 식각되지 않은 투명전극 상부에 구성된 나머지 포토레지스트(photo resist : PR)를 제거하는 공정을 행하는 동안 PR 제거액에 의해 2차적인 부식이 발생한다.

<44> 또한, 상기 노출된 상태로 하판 공정이 완료된 후 액정의 주입이 이루어지면 상기 구리 이온이 확산되어 패널 동작 시, 구리이온에 대한 이상동작이 발생될 우려가 있다.

<45> 따라서, 본 발명은 4마스크 공정 시, 에칭용액에 의한 구리배선의 부식을 방지하고 상기 구리이온의 확산을 방지하는 구조로 어레이기판을 제작하여 액정표시장치의 수율을 개선하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<46> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이기판은 기판과; 기판 상에 구성되고, 금속 산화물로 둘러싸인 구리로 구성되며 일부가 노출된 게이트전극과, 상기 게이트전극과 동일한 구성으로 상기 게이트전극에서 연장되어 형성된 게이트배선과; 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 데이터배선과 연결된 소스전극과 이와는 소정간격 이격된 드레인 전극과; 상기 데이터배선과 소스 전극 및 드레인 전극의 하부에 형성된 액티브층과; 상기 드레인 전극과 연결되어 상기 화소영역에 형성되는 화소전극을 포함한다.

<47> 상기 금속 산화물은 열처리하면 상기 구리로 형성된 게이트배선과 게이트전극으로의 확산이 가능 한 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 크롬(Cr)중 선택된 하나를 산화한

산화티탄( $TiO_x$ ), 산화탄탈( $TaO_x$ ), 산화텅스텐( $WO_x$ ), 산화크롬( $CrO_x$ )중 선택된 하나인 것을 특징으로 한다.

<48> 상기 산화티타늄( $TiO_x$ ), 산화탄탈( $TaO_x$ )로 둘러 싸여진 게이트배선 및 게이트전극의 하부에 버퍼층을 더욱 구성한다.

<49> 상기 버퍼층은 질화티탄( $TiN$ ), 질화탄탈( $TaN$ )중 선택된 하나로 형성한다.

<50> 본 발명의 특징에 따른 액정표시장치용 어레이기판 제조방법은 기판을 준비하는 단계와; 상기 기판 상에 이후 공정에서 형성되는 구리배선으로의 확산이 가능한 금속물질을 증착하여 제 1 금속층을 형성하는 단계와; 상기 제 1 금속층 상에 구리를 증착하여 제 2 금속층을 형성하는 단계와; 상기 제 1 금속층과 제 2 금속층을 패터닝하여, 게이트배선과 게이트전극을 형성하는 단계와; 상기 게이트배선과 게이트전극이 형성된 기판을 열처리하여 상기 패터닝된 제 1 금속층이 상기 제 2 금속층인 구리배선의 표면으로 확산함과 동시에 산화하여 금속 산화물을 형성하도록 하는 단계와; 상기 금속 산화물로 둘러싸인 게이트배선과 게이트전극이 구성된 기판의 상부에 게이트 절연막과 비정질 실리콘층과 불순물 비정질 실리콘층과 제 3 금속층을 적층하는 단계와;

<51> 상기 제 3 금속층을 패터닝하여, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 소스전극 및 드레인전극을 형성하는 단계와; 상기 데이터배선이 형성된 기판의 전면에 보호층을 형성하는 단계와; 상기 보호층을 패터닝하여, 상기 화소영역상의 보호층과 액티브층과 게이트절연막을 식각하는 단계와; 상기 드레인전극과 접촉하고 상기 화소영역 상에 형성되는 화소전극을 형성하는 단계를 포함한다.

<52> 상기 제 1 금속층은 티타늄( $Ti$ ), 탄탈( $Ta$ ), 텅스텐( $W$ ), 크롬( $Cr$ )중 선택된 하나인

것을 특징으로 한다.

<53> 상기 제 1 금속층이 티타늄(Ti) 또는 탄탈(Ta)중 선택된 하나인 경우에는, 상기 제 1 금속층의 하부에 버퍼층을 더욱 형성하여 준다.

<54> 이때, 상기 버퍼층은 질화티탄(TiN), 질화탄탈(TaN)중 선택된 하나로 형성한다.

<55> 이하, 첨부된 도면을 참조하여 본 발명에 따른 액정 표시장치를 상세히 설명한다.

<56> 본 발명은 게이트배선을 구리로 형성할 경우, 구리배선의 주변에 금속 산화물 처리를 하여, 공정 중 식각용액에 의해 상기 구리배선을 보호하도록 하는 구조와 방법을 제안한다.

<57> 이하, 첨부한 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

<58> -- 실시예 --

<59> 본 발명은 금속 산화물로 둘러싸여 형성되는 구리배선의 형성방법을 제안한다.

<60> 이하, 도 4a 내지 도 4d를 참조하여 설명한다.(평면도는 종래의 도 2와 동일하므로 이를 참조하여 이하 공정을 설명한다.)

<61> 도 4a 내지 도 4d는 도 2의 III-III'와 IV-IV'를 따라 절단하여 공정순서에 따라 도시한 본 발명에 따른 공정평면도와 이에 따른 공정단면도이다.

<62> 먼저, 도 4a는 제 1 마스크 공정으로, 먼저 기판(100) 상에 열처리에 의해, 이후 공정에서 형성되는 구리배선으로의 확산이 가능한 티타늄(Ta), 크롬(Cr), 티타늄(Ti), 텅스텐(W)으로 구성된 도전성 금속그룹 중 선택된 하나를 증착하여 제 1 금속층(111)을 형성한다.

<63> 연속으로, 상기 제 1 금속층(111) 상부에 구리를 증착하여 제 2 금속층(131')을 형

성한다.

<64> 제 1 마스크 노광공정(포토공정과 식각공정을 포함하는 개념으로 사용함)으로, 상기 적층된 제 1 금속층(111)을 패터하여 게이트배선(113)과 게이트전극(131)을 형성한다.

<65> 이때, 상기 제 2 금속층(131') 하부의 제 1 금속층(111)을 동시에 패터한다.

<66> 다음으로, 상기 게이트배선(113)과 게이트전극(131)이 패터된 기판(100)을 소정의 온도로 열처리하게 되는데 이때, 상기 구리재질인 제 2 금속층(131') 하부의 제 1 금속층(111)의 일부가 상기 구리배선인 게이트배선으로 확산한 후 상기 게이트배선(113)의 표면에 존재하게 된다.

<67> 상기 게이트배선(113)의 표면으로 확산된 제 1 금속층은 산소와 반응하여 금속금속 산화물(111')을 형성하게 되는데, 이는 확산된 금속의 종류에 따라  $TaO_x$ ,  $CrO_x$ ,  $TiO_x$ ,  $WO_x$  등으로 형성될 수 있다.

<68> 상기 금속 산화물(111')로 덮여있는 구리재질의 게이트배선(113)과 게이트전극(131)이 형성된 기판(100)의 전면에 실리콘 금속 산화물( $SiO_2$ )과 실리콘 질화막( $SiN_x$ )으로 구성된 무기절연물질 그룹과, 경우에 따라서는 벤조사이클로부텐(benzo-cyclobuten)과 아크릴(Acryl)계 수지(resin) 등이 포함된 유기절연물질 그룹 중 선택된 하나를 증착 또는 도포하여 게이트 절연막(132)을 형성한다.

<69> 연속으로, 상기 게이트 절연막(132)상에 순수 비정질 실리콘층(137')과 불순물이 포함된 비정질 실리콘층(136')을 적층한 후, 크롬(Cr), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo)등으로 구성된 도전성 금속그룹 중 선택된 하나를 증착하여, 상기 불순물 비정질 실

리콘층(136')의 상부에 도전성을 가지는 제 3 금속층(133')을 형성한다.

<70> 도 4b는 제 2 마스크 공정으로서, 상기 제 3 금속층을 패터하여, 상기 게이트배선(113)과 화소영역(도 2의 P)을 정의하는 데이터배선(115)과, 상기 데이터배선(115)에서 수직하게 소정면적으로 돌출 형성된 소스전극(133)과, 이와는 소정간격 이격된 드레인전극(135)을 형성한다.

<71> 다음으로, 상기 패터된 금속층을 식각 방지막으로 하여 노출된 불순물 비정질 실리콘층(136')을 식각하여, 상기 소스전극(133)과 드레인전극(135)사이에 상기 비정질 실리콘층(137')이 노출 되도록 한다.

<72> 도 4c는 제 3 마스크 공정으로, 상기 데이터배선 등이 형성된 기판(100)상에 전술한 절연물질 중 선택된 하나를 증착 또는 도포하여 보호층(141)을 형성한 후 패터하여, 상기 드레인 전극(135) 상부에 드레인 콘택홀(143)을 형성하고, 상기 게이트전극(131)과 소스전극(133) 및 드레인전극(135)의 상부와, 상기 게이트배선(113)과 데이터배선(115) 상부의 보호층(141)을 제외한 화소영역 상의 보호층을 모두 제거한다. 이때, 상기 보호층과 그 하부의 액티브층(137')과 게이트 절연막(132)을 모두 제거한다.

<73> 도 4d는 제 4 마스크 공정으로서, 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함한 투명 도전성 금속그룹 중 선택된 하나를 증착하고 패터하여, 상기 드레인 콘택홀(143)을 통해 상기 드레인전극(135)과 접촉하는 화소전극(117)을 형성한다.

<74> 이와 같은 구성에서, 상기 제 3 마스크 공정 중 상기 구리재질의 게이트전극(131)의 일부(B,C)가 노출되더라도 상기 게이트전극(131)은 산화금속(111')으로 보호되는 구조이므로, 이후의 어떠한 식각공정이 행해지더라도 부식현상이 발생하지 않는다.

- <75>      상기 전술한 방법과 같이 저저항 구리배선인 게이트배선을 보호하기 위한 구조에서, 상기 제 1 금속층을 탄탈(Ta) 또는 티타늄(Ti)을 사용하고 열처리 온도가 400℃ 이상일 경우에는 상기 유리질에 포함된 실리콘과 산소 이온이 상기 기판 위에 구성된 배선으로 확산하여 배선의 이동도(mobility)를 낮추는 것을 방지하기 위한 구조가 필요하다. 이하 도 5a 내지 도 5c를 참조하여 설명한다.
- <76>      이하, 도 5a 내지 도 5c는 도 2의 III-III'과 IV-IV'를 절단한 본 발명에 따른 공정 단면도이다.
- <77>      도시한 바와 같이, 상기 기판(100)상에 질화티탄(TiN), 또는 질화탄탈(TaN)중 선택된 하나를 증착하고 패터닝하여 버퍼층(110)을 형성한다.
- <78>      상기 버퍼층(110)은 실리콘 금속 산화물( $\text{SiO}_2$ )이나 실리콘 질화막( $\text{SiN}_x$ )을 사용하여 형성할 수도 있다.
- <79>      다음으로, 상기 버퍼층(110)상에 도 4a에 설명한 바와 같은 도전성 금속을 증착하여 제 1 금속층(111)을 형성하고, 연속하여 구리를 증착하여 제 2 금속층(131')을 형성한다.
- <80>      다음으로, 도 5b에 도시한 바와 같이, 상기 적층된 제 1 금속층과 제 2 금속층을 패터닝하여 게이트배선(113)과 게이트전극(131)을 형성한다.
- <81>      다음으로, 상기 게이트배선과 게이트전극이 형성된 기판을 소정의 온도(400℃ 이상)에서 열처리 한다.
- <82>      전술한 바와 같이 열처리공정을 마치면, 상기 패터닝된 제 1 금속층의 금속이온이 상기 구리재질인 게이트전극(113)과 게이트배선(131)의 표면으로 확산되고 양극산화되어



금속 산화물을 형성한다.

<83> 결과적으로, 도 5c에 도시한 바와 같이 버퍼층(110) 상부에 금속 산화물(111')으로 둘러싸인 게이트배선(113)과 게이트전극(131)이 구성된다.

<84> 이하, 연속한 공정은 상기 도 4b 내지 도 4d에서 설명한 공정과 동일하므로 이를 생략한다.

<85> 전술한 본 발명에 따른 4마스크 공정에서의 저저항 배선설계는 일반적인 구동모드의 액정표시장치용 어레이기판을 제작하는데 사용되는 외에도 횡전계를 이용하여 액정을 구동하는 횡전계 방식 액정표시장치용 어레이기판에의 저 저항배선 설계에도 적용 가능하다.

#### 【발명의 효과】

<86> 따라서, 본 발명에 따라 4마스크로 제작된 일반적인 동작모드에 사용되는 어레이기판과 횡전계 방식에 사용되는 어레이기판은 저 저항 배선의 부식현상에 의한 오동작이 발생하지 않으므로, 기판의 불량률 방지할 수 있는 동시에 4마스크를 사용한 공정단순화로 인해 제품의 수율을 개선하는데 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판과;

기판 상에 구성되고, 금속 산화물로 둘러싸인 구리로 형성되며 일부가 노출된 게이트전극과, 상기 게이트전극과 동일하게 형성되고 상기 게이트전극에서 연장되어 형성된 게이트배선과;

상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 데이터배선과 연결된 소스전극과 이와는 소정간격 이격된 드레인전극과;

상기 데이터배선과 소스전극 및 드레인전극의 하부에 형성된 액티브층과;

상기 드레인전극과 연결되어 상기 화소영역에 형성되는 화소전극을 포함하는 액정표시장치용 어레이기판.

**【청구항 2】**

제 1 항에 있어서,

상기 금속 산화물은 열처리하면 상기 구리로 형성된 게이트배선과 게이트전극으로의 확산이 가능한 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 크롬(Cr)중 선택된 하나가 산화된( $TiO_x$ ), 산화탄탈( $TaO_x$ ), 산화텅스텐( $WO_x$ ), 산화크롬( $CrO_x$ )중 하나인 액정표시장치용 어레이기판.

**【청구항 3】**

제 2 항에 있어서,

상기 산화티타늄( $TiO_x$ ) 또는 산화탄탈( $TaO_x$ )로 둘러 싸여진 게이트배선 및 게이트 전극의 하부에 버퍼층이 더욱 구성된 액정표시장치용 어레이기판.

**【청구항 4】**

제 3 항에 있어서,

상기 버퍼층은 질화티탄( $TiN$ ) 또는 질화탄탈( $TaN$ )중 선택된 하나인 액정표시장치용 어레이기판.

**【청구항 5】**

기판을 준비하는 단계와;

상기 기판 상에 이후 공정에서 형성되는 구리배선으로 확산이 가능한 금속물질층을 증착하여 제 1 금속층을 형성하는 단계와;

상기 제 1 금속층 상에 구리를 증착하여 제 2 금속층을 형성하는 단계와;

상기 제 1 금속층과 제 2 금속층을 식각하여, 게이트배선과 게이트전극을 형성하는 단계와;

상기 게이트배선과 게이트전극이 형성된 기판을 열처리하여, 상기 패터닝된 제 1 금속층이 상기 제 2 금속층인 구리배선의 표면으로 확산함과 동시에 산화하여 금속 금속 산화물을 형성하도록 하는 단계와;

상기 금속 금속 산화물로 둘러싸인 게이트배선과 게이트전극이 구성된 기판 상부에 게이트 절연막과 비정질 실리콘층과 불순물 비정질 실리콘층과 제 3 금속층을 적층하는 단계와;

상기 제 3 금속층을 패터닝하여, 상기 게이트배선과 교차하여 화소영역을 정의하는 데이터배선과, 소스전극 및 드레인전극을 형성하는 단계와;

상기 데이터배선이 형성된 기판의 전면에 보호층을 형성하는 단계와;

상기 보호층을 패터닝하여, 상기 화소영역과 게이트전극 일부의 상부에 위치한 보호층과 액티브층과 게이트 절연막을 식각하는 단계와;

상기 드레인 전극과 접촉하고 상기 화소영역 상에 형성되는 화소전극을 형성하는 단계

를 포함하는 액정표시장치용 어레이기판 제조방법.

#### 【청구항 6】

제 5 항에 있어서,

상기 제 1 금속층은 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 크롬(Cr)중 선택된 하나고 형성된 액정표시장치용 어레이기판 제조방법.

#### 【청구항 7】

제 5 항에 있어서,

상기 제 1 금속층이 티타늄(Ti) 또는 탄탈(Ta)인 경우에는, 상기 제 1 금속층의 하부에 버퍼층을 더욱 형성하는 액정표시장치용 어레이기판 제조방법.

【청구항 8】

제 7 항에 있어서,

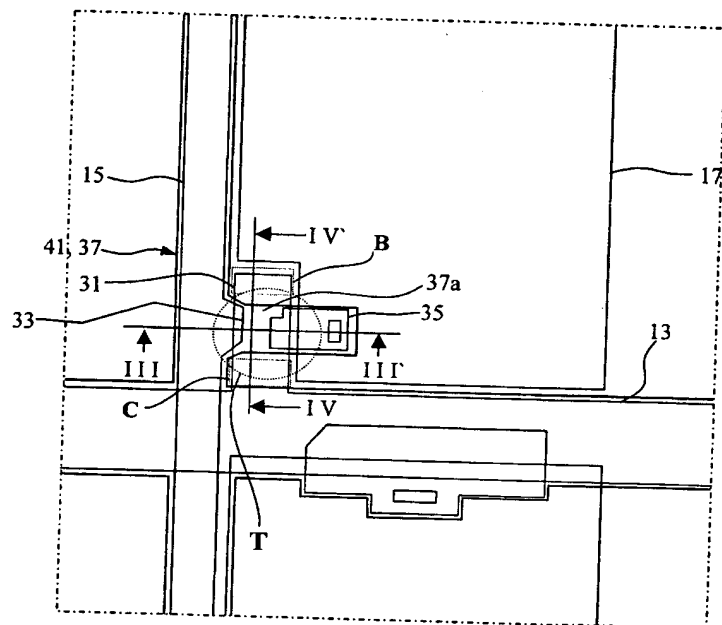
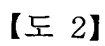
상기 버퍼층은 질화티탄(TiN)과 질화탄탈(TaN)중 선택된 하나로 형성된 액정표시장치용 어레이기판 제조방법.

【청구항 9】

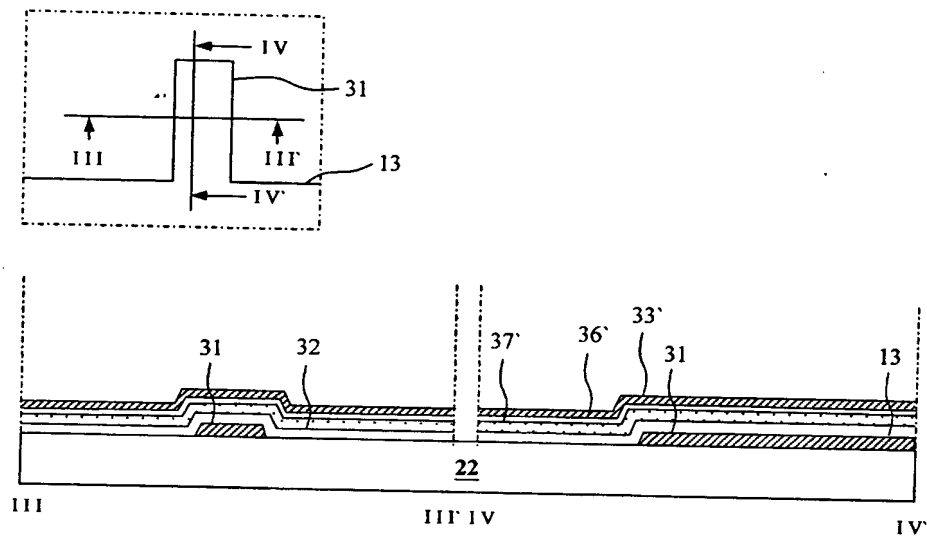
제 5 항에 있어서,

상기 제 3 금속층은 내식성이 강한 크롬(Cr), 텅스텐(W), 몰리브덴(Mo)으로 구성된 도전성 금속그룹 중 선택된 하나인 액정표시장치용 어레이기판 제조방법.

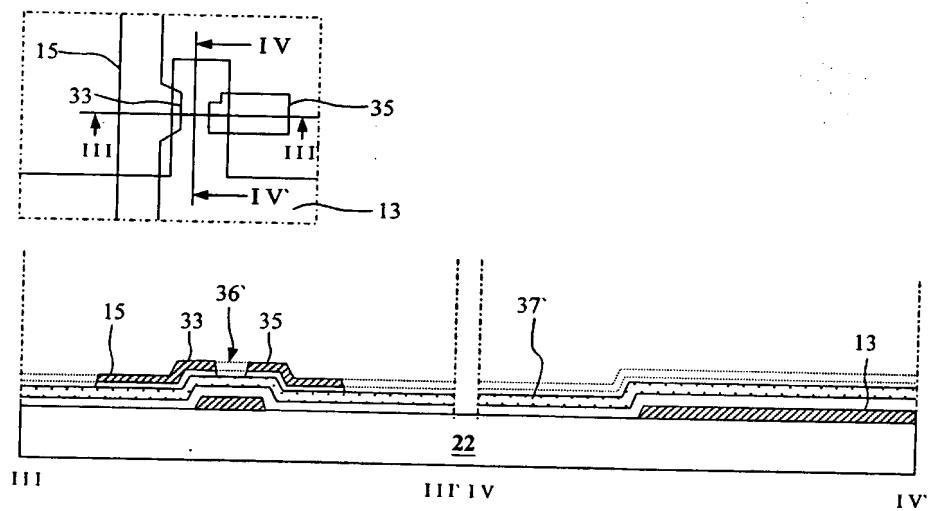
【도 1】



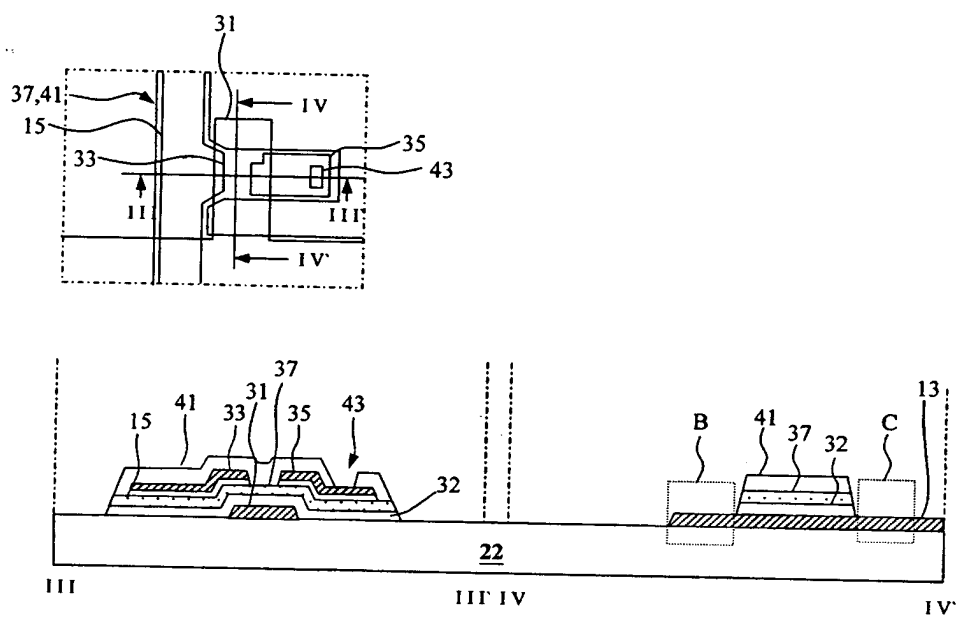
【図 3a】



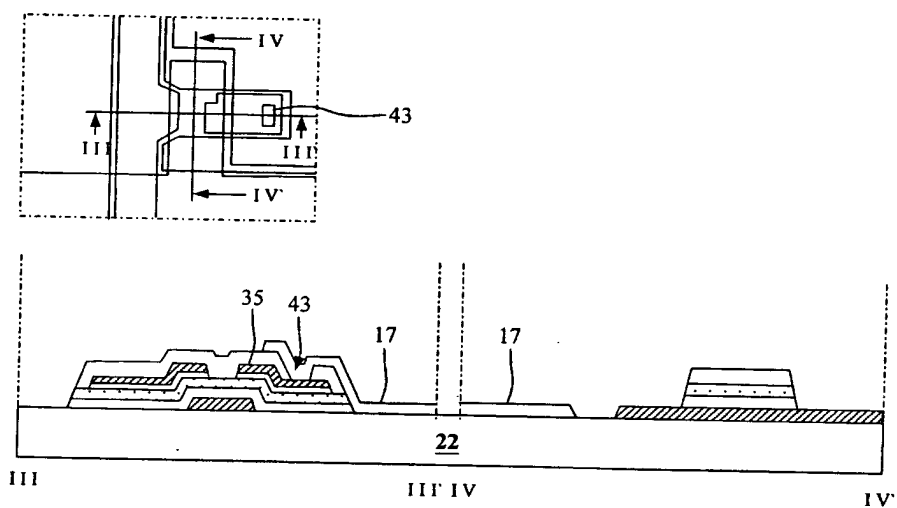
【図 3b】



【도 3c】

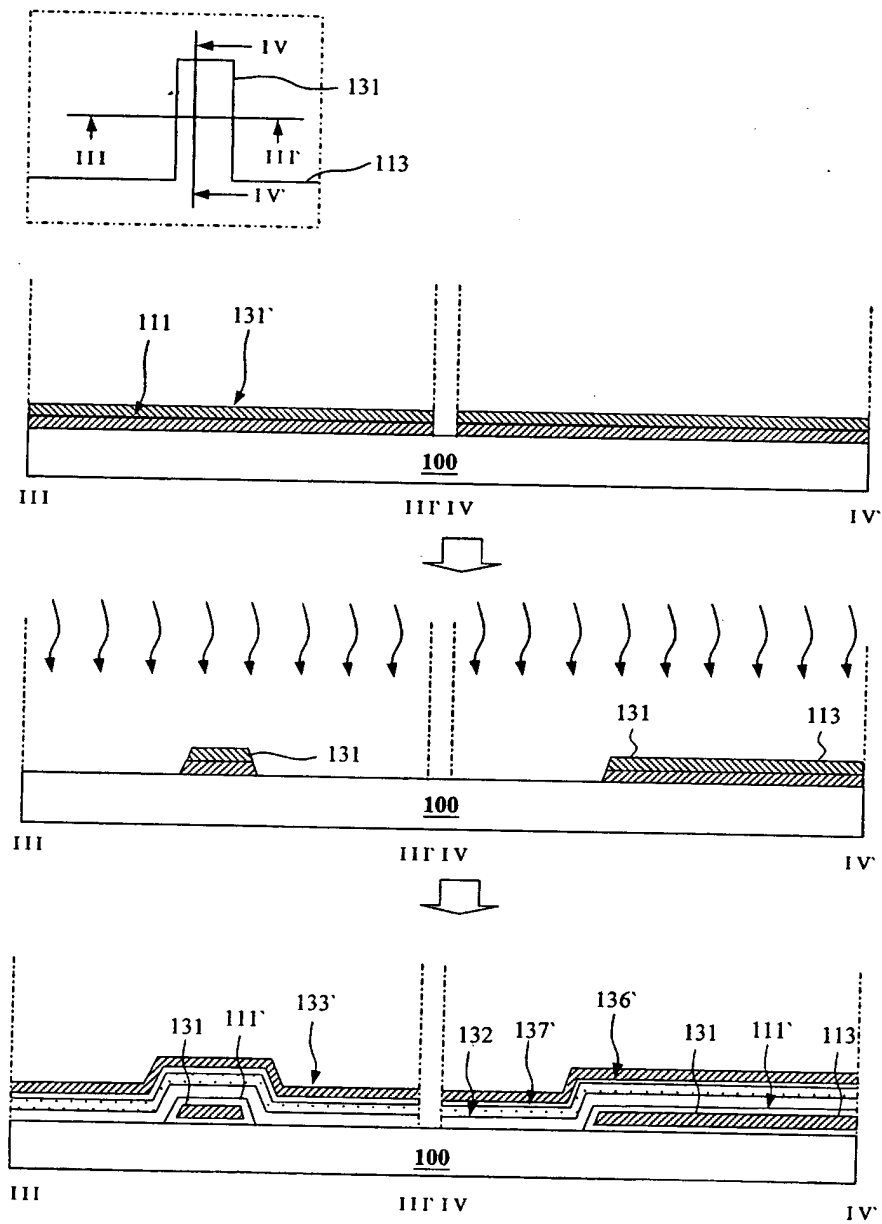


【도 3d】

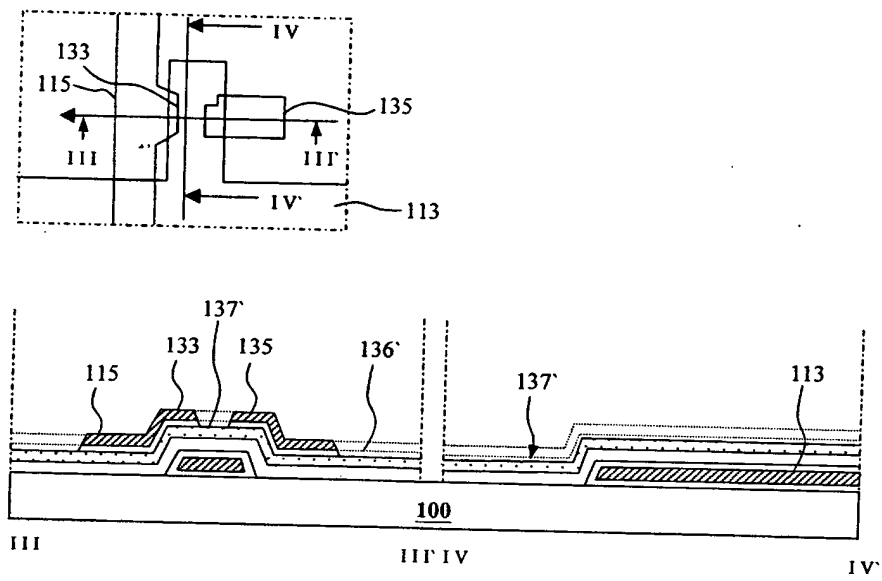




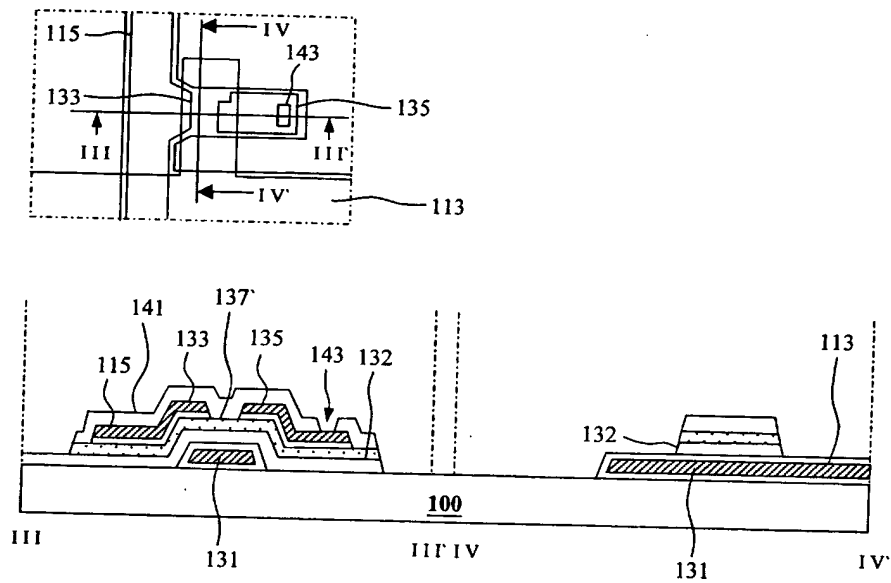
【도 4a】



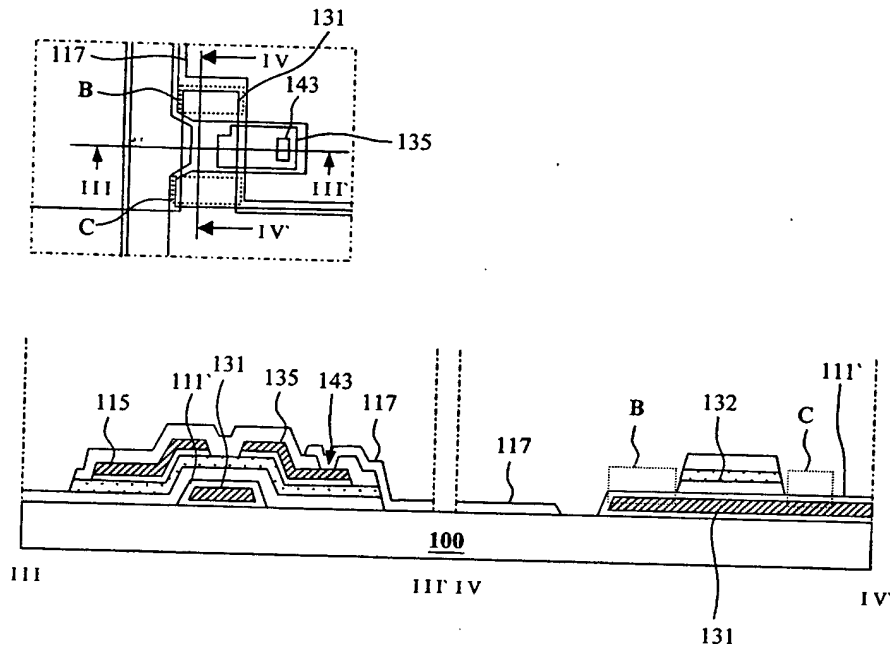
【도 4b】



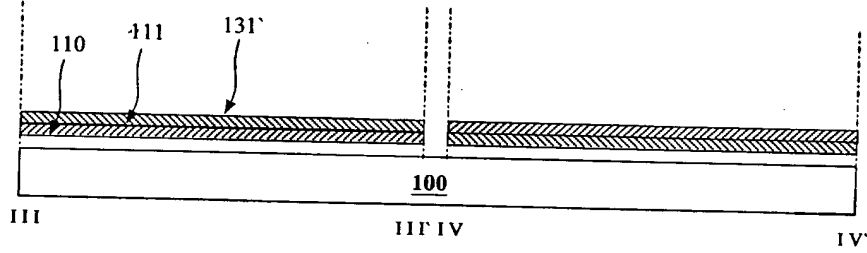
【도 4c】



【도 4d】



【도 5a】



【도 5b】

